

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-138255

(43)Date of publication of application : 16.05.2000

(51)Int.Cl.

H01L 21/60  
H01L 21/3065

(21)Application number : 10-308432

(71)Applicant : NEC CORP

(22)Date of filing : 29.10.1998

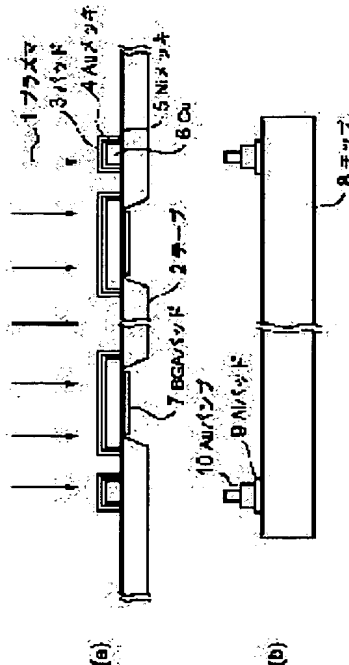
(72)Inventor : KIMURA TAKEHIRO  
ISOZAKI SEIYA  
HASHIMOTO KATSUMASA

## (54) METHOD AND SYSTEM FOR MANUFACTURING SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To subject the gold bumps of a chip and the pads of a substrate to thermocompression bonding at a low temperature in a short time by removing organic impurities on the pads of the substrate through dry process cleaning.

**SOLUTION:** A tape 2 provided with pads 3 and ball grid array pads BGA 7 is prepared and irradiated on the pad 3 side thereof, with a plasma 1 in order to remove organic impurities adhering to the surface of Au plating 4 of the pad 3. Au bumps 10 are then formed on a semiconductor chip 8. Subsequently, the semiconductor chip 8 is inverted, and the Au bumps 10 are aligned with the pads 3 of the tape 2 before being hot pressed subjected to thermocompression bonding. Since organic impurities on the surface of the bump 10 or the Au plating 4 of the pad 3 are removed through the irradiating of the pad 3 side of the tape 2 with plasma 1, the bumps 10 of the chip 8 and the pads 3 of the tape 2 can be hot pressed, at low temperature, in a short time and under low pressure.



## LEGAL STATUS

[Date of request for examination] 29.10.1998

[Date of sending the examiner's decision of rejection] 27.02.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 ( J P )

(12) 公 開 特 許 公 報 ( A )

(11)特許出願公開番号  
特開2000-138255  
( P2000-138255A )

(43)公開日 平成12年 5 月16日 (2000. 5. 16)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 Q 5 F 0 0 4
		21/302	N 5 F 0 4 4
21/3065		21/92	6 0 4 Z

審査請求 有 請求項の数 8 O L (全 9 頁)

(21)出願番号 特願平10-308432

(22)出願日 平成10年10月29日 (1998. 10. 29)

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目 7 番 1 号

(72)発明者 木村 雄大

東京都港区芝五丁目 7 番 1 号 日本電気株  
式会社内

(72)発明者 磯崎 誠也

東京都港区芝五丁目 7 番 1 号 日本電気株  
式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外 2 名)

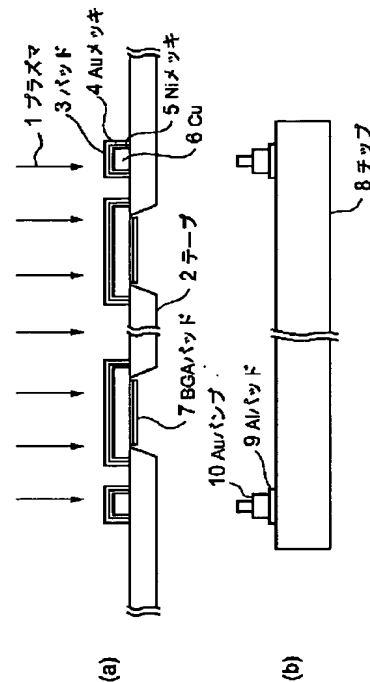
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法と製造装置

(57)【要約】

【課題】 有機不純物の影響を受けずフリップチップ接続時の加熱温度を低くする。

【解決手段】 本発明による半導体装置の製造方法及び装置は、半導体チップの接続組立時の加熱により、電気的性能の劣化を低減するものである。半導体チップの bumps と基板をマウント接続する際、基板の接続するパッド表面あるいは半導体チップの bumps 表面を清浄することにより、接続温度を 200℃～300℃以下で出来る。また、基板のパッド表面の活性化処理したものを維持するために、製造装置の中にプラズマ処理部を入れ、製造装置内を不活性ガスで充填することにより、プラズマ処理部で清浄されたパッド表面を大気中にさらして再汚染することなく、マウント接続が出来る。



## 【特許請求の範囲】

【請求項1】 半導体チップと基板とをフリップチップ接続させた構造を有する半導体装置の製造方法において、接続前に前記基板の接続パッド上の有機系不純物をドライプロセスによるクリーニング処理によって除去することを特徴とする半導体装置の製造方法。

【請求項2】 半導体チップと基板とをフリップチップ接続させた構造を有する半導体装置の製造方法において、接続前に前記基板の接続パッド上および前記半導体チップの bumps 上の有機系不純物をドライプロセスによるクリーニング処理によって除去することを特徴とする半導体装置の製造方法。

【請求項3】 前記ドライプロセスによるクリーニング処理は、プラズマ照射工程であることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 前記ドライプロセスによるクリーニング処理は、紫外線照射工程であることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項5】 半導体チップと基板とをフリップチップ接続させた構造を有する半導体装置の製造方法において、接続前に前記基板の接続パッド上の有機系不純物をドライプロセスによるクリーニング処理によって除去し、不活性ガスの雰囲気の中で前記半導体チップと前記基板とをフリップチップ接続させることを特徴とする半導体装置の製造方法。

【請求項6】 前記ドライプロセスによるクリーニング処理は、プラズマ照射工程であることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 前記ドライプロセスによるクリーニング処理は、紫外線照射工程であることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 半導体チップと基板とをフリップチップ接続させた構造を有する半導体装置の製造装置において、接続前に前記基板の接続パッド上の有機系不純物をプラズマ照射処理によって除去するプラズマ反応器と前記半導体チップと前記基板とをフリップチップ接続させる接続器とを不活性ガスの雰囲気の中に閉じこめたことを特徴とする半導体装置の製造装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法および製造装置に関し、特に半導体チップを基板にフリップチップ接続する製造方法の改良およびそのための製造装置に関する。

## 【0002】

【従来の技術】 従来、半導体チップを基板にフリップチップ接続する場合、半導体チップの電極パッド上に突起状の bumps を形成し、その bumps を基板上の電極パッドに位置合わせして、加熱しながら加圧し接続する方法が用いられている。

## 【0003】

【発明が解決しようとする課題】 この従来の半導体装置の製造過程で、基板の電極パッド表面に有機系不純物が付着しやすいので、その影響により高温（400℃以上）・長時間・高加圧な条件でなければ半導体チップの bumps と基板の電極パッドが良好に接合せず、基板の耐熱性の制約により高耐熱性のアルミナ、ガラスセラミック等無機基板しか使用できないという問題点があった。

【0004】 また、マウント温度が400℃以上で作業を行うと、半導体チップの電気特性に劣化現象が発生し、信頼性上問題となるばかりか、フリップチップ接続後に半導体チップと基板の接続部にクラックが発生する確立が40%程度であり、後工程で問題となる。

【0005】 本発明の目的は、半導体チップと基板とのフリップチップ接続において、有機系不純物の影響を受けずにフリップチップ接続時の加熱温度を低くできる半導体装置の製造方法および製造装置を提供することにある。

## 【0006】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、半導体チップと基板とをフリップチップ接続させた構造を有する半導体装置の製造方法において、基板の pads 上の有機系不純物をドライプロセスによるクリーニング処理によって除去することにより、低温・短時間でチップの bumps と基板の pads を熱圧着することを可能とする。

【0007】 本発明の半導体装置の製造方法では、プラズマまたは紫外線を基板に照射し、 bumps や pads の Al 膜の表面上の有機系不純物を除去することにより、低温・短時間・低加圧でのチップの bumps と基板の pads との熱圧着を可能とする。これにより基板材質は、無機系の耐高熱性のものだけでなく、有機系基板も使用できるため低コスト化できる。また短時間で熱圧着できるため生産性が向上する。

【0008】 また接合強度も向上するため高信頼性の半導体装置が得られる。

【0009】 さらに、別な問題点は、基板の電極パッド表面を活性化する際、プラズマ処理装置から出して大気中に戻した場合、C（炭素）とO（酸素）が再付着して、接続品質を低下させる問題がある。

【0010】 これは、半導体装置の製造方法において、接続前に前記基板の接続パッド上の有機系不純物をドライプロセスによるクリーニング処理によって除去し、不活性ガスの雰囲気の中で前記半導体チップと前記基板とをフリップチップ接続させる製造方法により解決される。

【0011】 さらに本発明によれる半導体装置の製造装置は、接続前に前記基板の接続パッド上の有機系不純物をプラズマ照射処理によって除去するプラズマ反応器と前記半導体チップと前記基板とをフリップチップ接続さ

せる接続器とを不活性ガスの雰囲気の中に閉じこめたことを特徴とする。

【0012】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0013】図1から図6は本発明の第1の実施の形態の半導体装置製造方法を示す断面図であり、このうち図6は最終的に製造される半導体装置を示すものである。

【0014】図6において、半導体装置は、配線パターンが形成された絶縁体のフレキシブルテープ（以下、単にテープと略称する）2が基板として使用され、半導体チップ8を実装している。

【0015】テープ2の片面（半導体チップ8の側）には、半導体チップ8に接続されるパッド（接続パッド）3が形成され、また、はんだボール15が形成される位置にボールグリッドアレイ（BGA）パッド（接続パッド）7が形成される。はんだボール15は、図示しないマザーボードに接続される。

【0016】パッド3は、銅（Cu）6にニッケル（Ni）メッキ5、さらにその上に金（Au）メッキ4を施したものである。

【0017】半導体チップ8は、電極としてのアルミニウム（Al）パッド9を有し、そのパッド上のAuバンブ10を介してテープ2のパッド3に接続される。

【0018】つぎにこの半導体装置の製造方法について図1から図6を参照して説明する。

【0019】その製造方法について概略説明すると、まず図1（a）に示すように、パッド3及びBGAパッド7を設けたテープ2を用意し、テープ2のパッド3側にプラズマ1を照射しパッド3のAuメッキ4の表面に付着した有機系不純物を除去する工程と、次にAuバンブ10を半導体チップ8に形成する工程（図1（b））と、次いで半導体チップ8を反転しAuバンブ10とテープ2のパッド3を位置合わせする工程（図2）と、Auバンブ10とパッド3を熱圧着する工程（図3）と、半導体チップ8とテープ2の間隙に封止樹脂14を流し込み加熱硬化させる工程（図4）と、さらにBGAパッド7上にはんだボール15を形成し（図5）、チップ8のサイドを切断することによりCSP（チップサイズパッケージ）を得る工程（図6）とを有する。

【0020】つぎにその製造方法についてさらに詳細に説明する。図1（a）に示すように、テープ2に図示しないプラズマ処理装置によりプラズマ1を照射しパッド3のAuメッキ4の表面の有機系不純物を取り除く。このときのプラズマ処理の条件は、Arガス流量50ml/分（通常使用範囲10～100ml/分）、真空圧が65mTorr（通常50～500mTorr）、RF Power 400W（通常50～500W）、処理時間は180秒（通常60～300秒）とした。またこのときのAuメッキ4の厚さは1μmとした（通常Auメ

ッキ厚は0.03～2μm程度）。

【0021】一方、図1（b）に示すように、半導体チップ8は、Alパッド9上にAuバンブ10をボールボンディング法により形成する。このときAuバンブ10を形成する際、ボールボンディング法を採用したがメッキ法その他を用いる方法もある。また半導体チップ8のAlパッド9はCuその他の材料を用いることも可能である。

【0022】次に図2に示すように、Auバンブ10を形成した半導体チップ8を反転しコレット12に吸着してステージ11上に置いたプラズマ1を照射したテープ2と位置を合わせ、その後、図3に示すように加圧加熱13を行ってチップ8のAuバンブ10とテープ2のパッド3を熱圧着する。

【0023】このときの熱圧着条件は、ステージ11の温度70℃、コレット12の温度300℃、加熱加圧時間2.5～7.5秒、加圧力75～125gf/バンブである。プラズマ1を照射することにより加熱温度を低くし加熱加圧時間を短くすることが可能となる。

【0024】その後、図4に示すようにテープ2と半導体チップ8の間隙に封止樹脂14を流し込み、加熱して封止樹脂14を硬化させる。

【0025】次に、図5に示すように、はんだボール15をテープ2のBGAパッド7上に形成し、チップサイズより0.5mm大きくダイサーにより切断し、図6の半導体装置が完成する。このときBGAパッドにははんだボールを形成したが、その材料はPbSnの共晶はんだまたはその他の材料を使用するか、形成しない場合もある。また切断はダイサーを用いたが打ち抜きその他でも良い。また切断する大きさはチップサイズ以上であればよい。

【0026】図7は縦軸に接合強度（ダイシエ強度）、横軸に圧着条件をとり、プラズマ処理の有無での比較を行ったグラフ図である。加熱温度を300℃として、圧着時間2.5秒加圧力75gf/バンブの時プラズマ処理無しでは、半導体チップ8のAuバンブ10とテープ2のパッド3とが圧着しないのに対し、図1

（a）に示すようにプラズマ処理した場合では、約3100gfの接合強度（ダイシエ強度）が得られた（94個Auバンブのあるチップを用いた場合）。

【0027】また7.5秒、125gf/バンブの条件の場合、プラズマ処理無しではダイシエ強度が約2500gfなのに対し、プラズマ処理したときには約5100gfとなり、2倍以上の接合強度が得られる。

【0028】このようにプラズマ処理した場合には、していない場合と比較し接合強度が大幅に増加する。

【0029】図8と図9はテープ2のパッド3表面をオージェ分析した結果を表したグラフである。横軸は、運動エネルギー、縦軸は強さである。図8はプラズマ処理をした場合、図9はプラズマ処理していない場合であ

る。プラズマ処理していない図9では窒素(N)が検出されているのに対し、プラズマ処理を施した後オージェ分析した図8ではNが検出されていない。Nはテープ2の材質PI(ポリイミド)に含まれるため、製造工程でPIが付着したと考えられる。

【0030】また炭素(C)はプラズマ処理後のオージェ分析結果のほうが増加しているが、これは一度清浄化したAu表面に空気中の不純物が(あるいはCを含むガス成分)が吸着したものであると推定される。(この後で付着した不純物は、圧着にさほど影響を与えない)このようにオージェ分析結果からもプラズマ処理の有効性が確認できる。

【0031】以上のようにフリップチップ接続で半導体装置を製造する際、テープパッドにプラズマを施すことにより、Auメッキ表面の有機系不純物をとりのぞけるため、低温・短時間・低加圧の圧着が可能となる。これにより基板材質は、無機系の耐高熱性のものだけでなく、有機系基板も使用できるため低コスト化できる。また短時間で熱圧着できるため生産性が向上する。また接合強度も向上するため高信頼性の半導体装置が得られる。

【0032】図10から図13は本発明の第2の実施の形態の半導体装置製造方法を示す断面図である。本実施の形態の半導体装置では、テープの代わりに基板にはセラミック16を用いた。図10(a)で紫外線(UV)をセラミック16に照射する。このときのUV照射条件は、Power 12mW/平方cm(通常使用範囲1~100mW/平方cm)、照射時間180秒(通常10~300秒)である。

【0033】次に図10(b)に示すようにAuパンプ10を半導体チップ8のA1パッド9上に形成する。次いで図11に示すように半導体チップ8を反転しAuパンプ10とセラミック16のパッド3bを位置合わせし、その後図12に示すように、加熱加圧して熱圧着を行う。

【0034】熱圧着の条件は、ステージ温度70℃、コレット温度270℃、加圧力75gf/パンプ、加圧加熱時間2.5秒とした(従来、UV照射せず圧着していた条件は、ステージ温度70℃、コレット温度400℃、加圧力125gf/パンプ、加圧加熱時間15秒である)。

【0035】最後に図13に示すように封止樹脂をセラミック16と半導体チップ8の隙間に流し込み、加熱硬化させ半導体装置が完成する。

【0036】このときの半導体チップ8のAuパンプ10とセラミック16のパッド3bとの接続良品率は100%(接続検査ポイント数:2080p)である。このようにセラミック基板に対しても低温化・低加圧化が可能である。

【0037】なお、以上説明した実施の形態において、

第1の実施の形態では、テープ2にプラズマ照射、第2の実施の形態ではセラミック16にUVを照射したが、それぞれテープ2にUV、セラミック16にプラズマを照射しても同様な効果が得られる。

【0038】また、プラズマ、UVの照射は、テープやセラミックなどの基板だけでなく、半導体チップのバンパにも照射し表面浄化することでバンパに付着したNiの酸化物や水酸化物と有機物などの汚染物質を除去しても良い。

【0039】上記実施の形態の場合、フリップチップ接続時の低温化、低加圧化、処理時間の短縮の効果が十分に得られるが、基板と半導体チップを接合する工程の前に、プラズマ処理装置から基板と半導体チップを出して大気中に戻した場合、C(炭素)とO(酸素)が再付着して、接続品質を低下させる場合がある。

【0040】次に説明する本発明の第3の実施の形態の製造方法および製造装置によって、そのような問題が解決され、フリップチップ接続品質の一層の向上が図れる。

【0041】図14は第3の実施の形態に使用する半導体装置製造装置を示す図、図15(a)は半導体チップ、(b)は基板を示す断面図、図16は半導体チップを基板にフリップチップ実装した後の半導体装置を示す断面図である。

【0042】図15(a)を参照すると、半導体チップ20は、接続用として接続パッド21が配置され、それにAuワイヤーのボンディングでAuバンパ22を接続パッド4上に形成したものである。図15(b)において、基板23には表面をAu膜でコーティングしたAuパッドが形成されている。

【0043】図14において、製造装置は、装置の外枠30と、半導体チップ20を実装する基板23を搬送する基板搬送レール40と、基板23にプラズマを照射するプラズマ反応容器50と、プラズマが照射された基板23上に半導体チップ20を搭載するマウント接続部60と、半導体チップ20を供給する半導体チップ供給部70とを有する。外枠30は密閉され空気が内部に混入しないように構成されており、不活性ガスが充填されている。

【0044】プラズマ反応容器50は、水平方向に開閉可能な扉51を有し、プラズマ反応中は反応部52を密閉して閉じるようになっている。

【0045】基板搬送レール40は、プラズマ反応容器50とマウント接続部60に対応する位置にワーク移動テーブル41、42が来るように、各ワーク移動テーブルが所定の間隔で設けられている。

【0046】最初、ワーク移動テーブル41上の基板23は、接続パッド24の表面処理部に酸化物/水酸化物/有機物などの汚染物質で被われているため、プラズマ反応容器50の反応部52を使用して表面清浄化処理を

行う。反応前では、図示しない昇降機構によりワーク移動テーブル41上の基板23を反応部52へ移動する。

【0047】プラズマ反応容器内に使用するガスとしては、アルゴンや酸素、水素などを使用することで、接続パッド24の表面処理部のフレッシュな面が表れる。

【0048】プラズマ処理条件の1例としては、RFパワー：400W、アルゴンガス：20CC/min、処理時間：5分、真空度：10Paである。

【0049】プラズマ処理のあと、基板23は、反応部52からワーク移動テーブルに戻され、不活性雰囲気の状態  
10 状態でマウント接続部60へ搬送する。この間の基板23の放置時間は、不活性雰囲気中の酸素濃度や水分濃度に依存するが、1時間以内が望ましい。

【0050】マウント接続部60は、接続パッド24とAuバンプ22を合わせて、接続を行う。マウント接続部60は、前述した図2、図3あるいは図11、図12に示す工程と同様に、基板23上に半導体チップ20を位置  
20 位置決めした後、熱を加えながら圧力をかけてフリップフロップ実装する。

【0051】そのときの温度条件としては、半導体チップ20を加熱するツール（図3のコレット12に相当）のツール温度が300℃以下、基板23を搭載するステージ（図3のステージ11に相当）のステージ温度が200℃以下で十分な接続ができる。

【0052】このように、図14の製造装置は、内部に基板をプラズマの照射によって表面清浄化するプラズマ反応容器50を有し、外枠内部全体を不活性ガス、主に窒素やヘリウムを充填することで基板23のパッド24のAu膜表面ならびに半導体チップ20のAuバンプ22が再汚染することなく、安定した接続が可能となる。

【0053】本発明の他の実施の形態として、Auバンプ2と接続端子パッドの表面の材料としてAuの代わりにCuを用いることもできる。Cuは酸化が著しいので、プラズマ処理による清浄化は有効であり、また、大  
30 気中に曝さないようにすることが大事である。

【0054】また、第3の実施の形態において、プラズマ照射の代わりにUV照射を実行しても良い。

【0055】

【発明の効果】以上説明したように、基板の接続パッドまたは基板のパッドと半導体チップのバンプ両方にプラズマまたはUVを照射して表面清浄化するので、第1の  
40 効果は、半導体チップに対する組立温度が低くなり、電気的特性の劣化や不安定さがなくなる。また、半導体チップと基板との接続部分のクラックが皆無となり、長期信頼性が確保できる。

【0056】その理由は、プラズマまたはUV照射後の接続温度を300℃以下に設定出来ることである。

【0057】第2の効果は、本発明の製造装置により接続パッドの汚染物を除去した状態を保つことが可能で、  
50

接続の品質が安定化する。

【0058】その理由は、プラズマ処理のあと、空気中にさらされないで次のマウント接続が同一の装置内で出来るからである。

【図面の簡単な説明】

【図1】（a）は本発明の第1の実施の形態における製造方法において基板であるテープにプラズマを照射する工程を示す断面図、（b）は半導体チップを示す断面図である。

【図2】本発明の第1の実施の形態における製造方法において半導体チップをテープに位置決めする工程を示す断面図である。

【図3】半導体チップをテープに接合する工程を示す断面図である。

【図4】半導体チップをテープに接合後に封止樹脂を供給する工程を示す断面図である。

【図5】封止樹脂の硬化後にはんだボールを形成する工程を示す断面図である。

【図6】本発明の第1の実施の形態における製造方法により完成した半導体装置を示す断面図である。

【図7】縦軸に接合強度（ダイシエア強度）、横軸に圧着条件をとり、プラズマ処理の有無での比較を行ったグラフ図である。

【図8】プラズマ処理をした場合にテープのパッド表面をオージェ分析した結果を表したグラフである。

【図9】プラズマ処理をしていない場合にテープのパッド表面をオージェ分析した結果を表したグラフである。

【図10】（a）は本発明の第2の実施の形態における製造方法において基板であるセラミックにプラズマを照射する工程を示す断面図、（b）は半導体チップを示す断面図である。

【図11】本発明の第2の実施の形態における製造方法において半導体チップをセラミックの基板に位置決めする工程を示す断面図である。

【図12】半導体チップをセラミックの基板に接合する工程を示す断面図である。

【図13】半導体チップをセラミックの基板に接合後に封止樹脂を供給して半導体装置を完成する工程を示す断面図である。

【図14】本発明の第3の実施の形態における製造装置を示す概略断面図である。

【図15】（a）は本発明の第3の実施の形態における半導体チップ、（b）は基板を示す断面図である。

【図16】図14の製造装置によって図15（a）の半導体チップを（b）の基板にフリップチップ実装した後の半導体装置を示す断面図である。

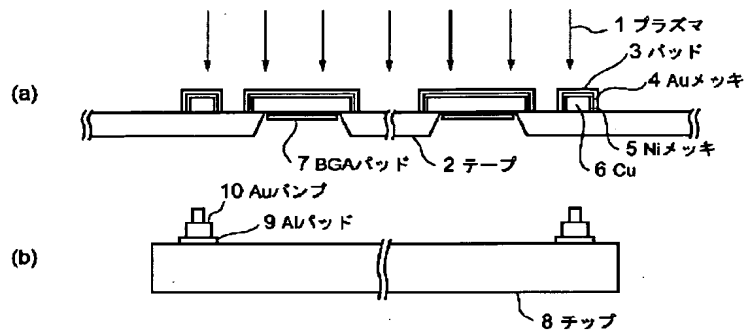
【符号の説明】

- 1 プラズマ
- 2 テープ
- 3 パッド

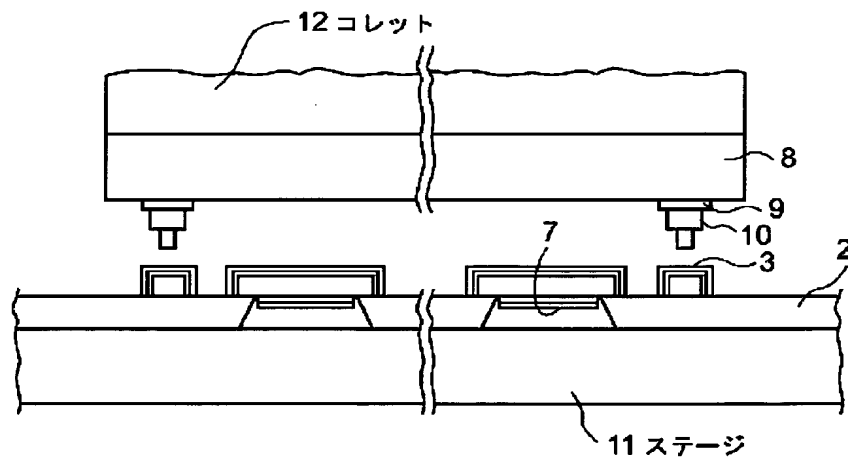
4 Auメッキ  
5 Niメッキ  
6 Cu  
7 BGAパッド

8 チップ  
9 Alパッド  
10 Auバンプ

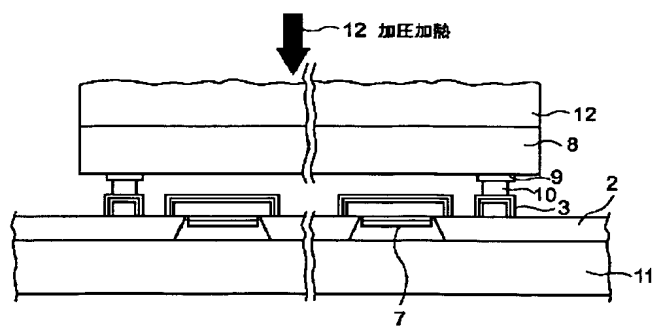
【図1】



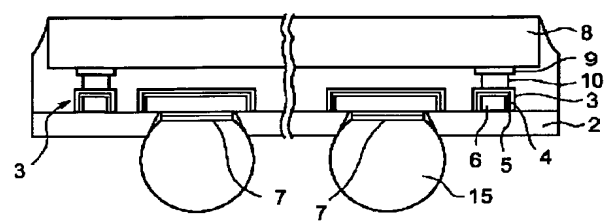
【図2】



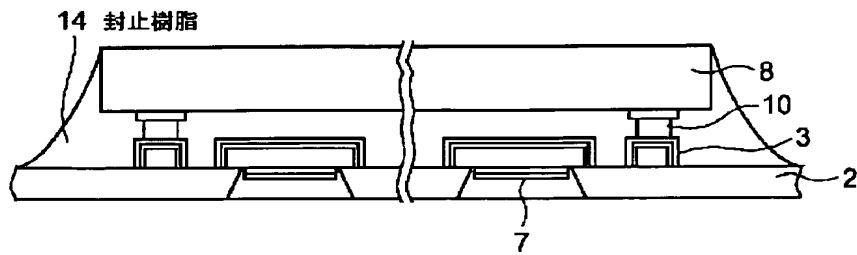
【図3】



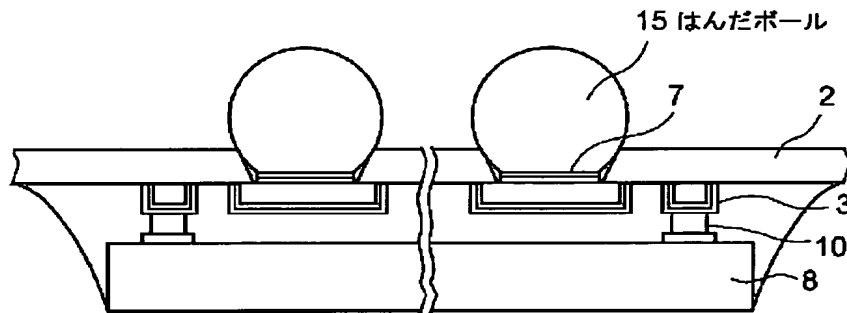
【図6】



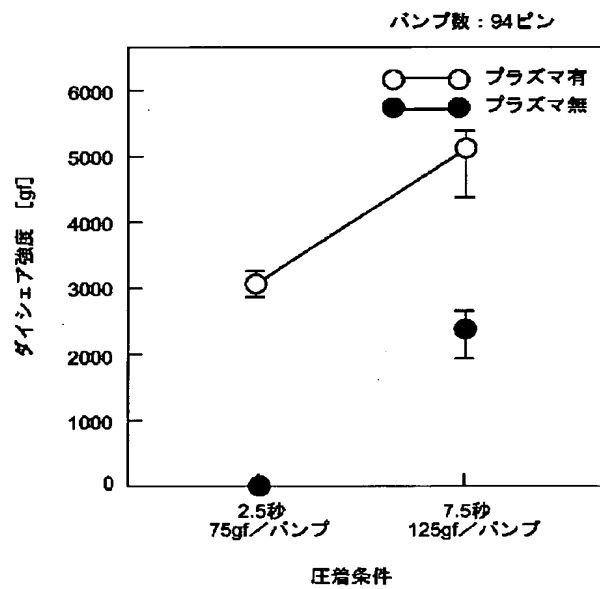
【図4】



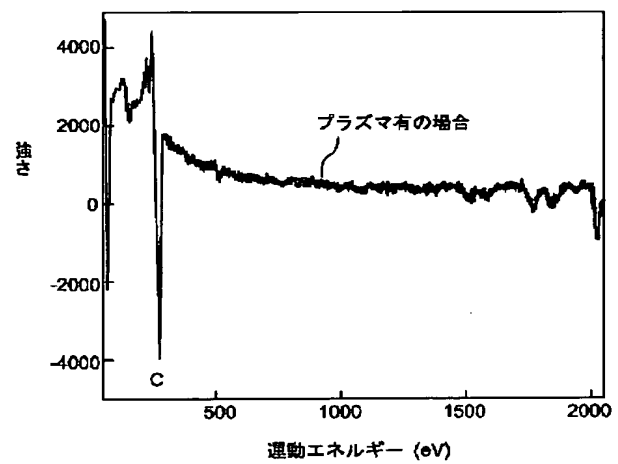
【図5】



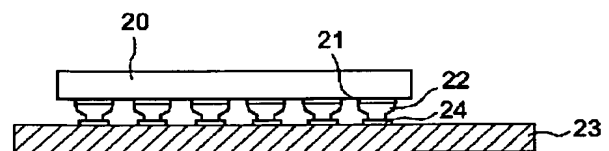
【図7】



【図8】

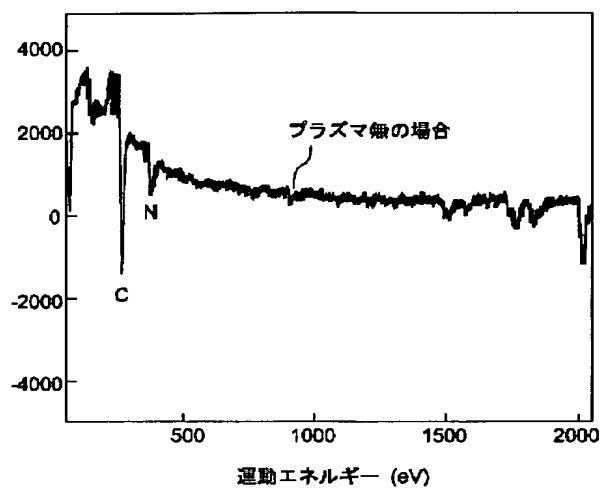


【図16】

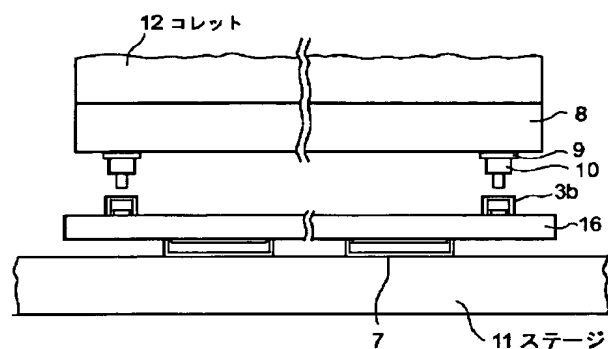




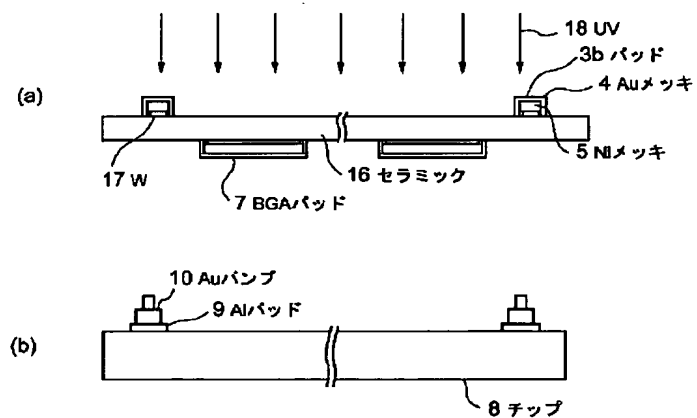
【図9】



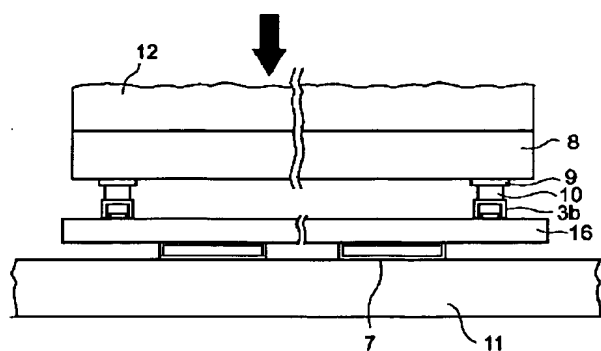
【図11】



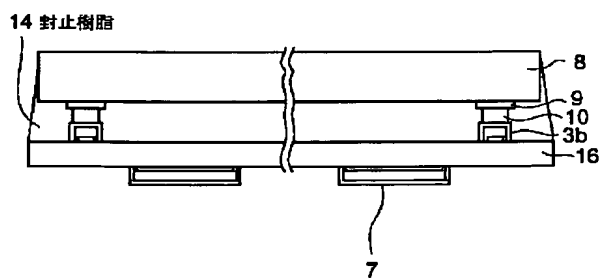
【図10】



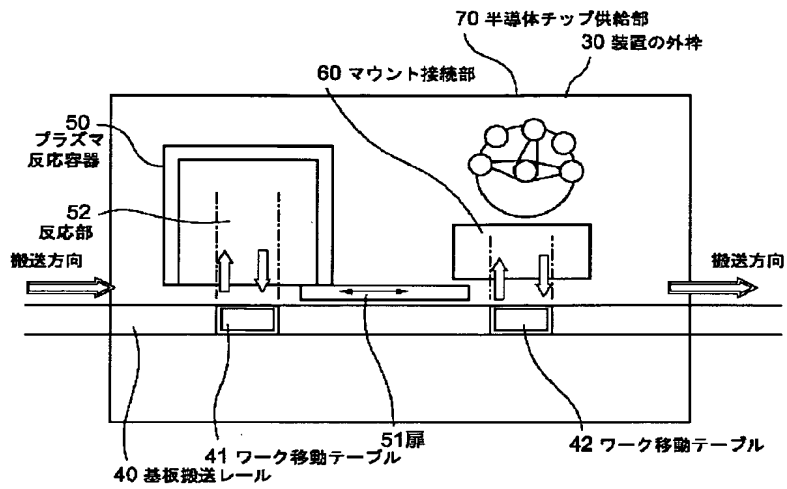
【図12】



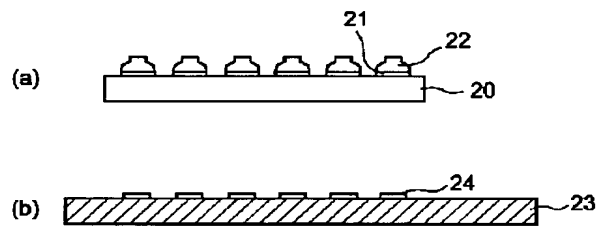
【図13】



【図 14】



【図 15】



フロントページの続き

(72)発明者 橋本 克正  
東京都港区芝五丁目7番1号 日本電気株  
式会社内

F ターム (参考)

5F004	AA13	AA14	BA20	BB02	DA23
	DB08	EB02	FA04		
5F044	KK03	KK04	KK11	LL01	LL04
	QQ03	QQ04			